

一种基于 EDT 的低功耗可测性设计技术研究

陈首智¹, 王小力^{1,2}, 张先烧¹

(1 西安交通大学 电信学院, 陕西 西安 710049; 2 西安交通大学 理学院, 陕西 西安 710049)

摘 要: 本文介绍了一种基于 EDT 的低功耗可测性设计技术, 并提出该技术在设置功耗阈值时的优化方案. 该低功耗可测性设计技术通过对测试图形进行 0 填充, 使电路在测试过程中的 WSA 得到有效降低, 从 31.55% 优化到了 25.12%. 通过设置功耗阈值, 降低了测试功耗峰值, 实验电路的 LST 最大值从 49.76% 优化到 21.21%, RST 最大值从 45.73% 优化到 25.00%, 并使 WSA 和 SET 的最大值得到相应优化. 理论研究和实验表明, 缩短扫描链长度能够有效提高设置功耗阈值时的测试覆盖率.

关键词: EDT; 低功耗可测性设计; WSA; 功耗阈值

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2013)11-0159-06

A Low Power DFT Technology Based on EDT

CHEN Shou-zhi¹, WANG Xiao-li^{1,2}, ZHANG Xian-rao¹

(1 School of Electronic Information, Xi'an Jiaotong University, Xi'an 710049, China;

2 School of Science, Xi'an Jiaotong University, Xi'an 710049, China)

Abstract: This paper presents a low power DFT technology based on EDT, and introduces an optimization method when setting power threshold. This low power DFT technology has the ability to reduce WSA during testing by filling 0 to test patterns, which optimizes WSA from 31.55% to 25.12%. Otherwise, setting power threshold can reduce peak testing power, which optimizes LST to 49.76% to 21.21%, RST from 45.73% to 25.00%. Coverage drop, caused by power threshold, could be improved by reducing the scan chains length.

Key words: EDT; low power DFT; WSA; power threshold

1 引言

随着芯片技术的不断发展,降低芯片的功耗显得日益重要. 但若没有使用改善技术,芯片的测试功耗甚至会超过芯片的工作功耗. 研究表明^[1],测试功耗甚至可能比芯片工作功耗高 30 倍. 因此,降低测试功耗成为芯片技术研究的热点之一.

过高的测试功耗会造成一系列问题^[2]: ①过高的测试功耗会导致器件温度升高,而温度过高可能导致芯片损坏; ②过高的温度导致信号传输变慢,将造成测试结果出错,造成良率丢失; ③过高的测试功耗还会限制测试频率的增大,导致测试时间变长,造成测试成本的增加等.

本文介绍一种低功耗可测性技术,该技术能够

通过修正测试图形,有效改善测试功耗.

2 测试功耗

通常,芯片的测试功耗可分为静态功耗和动态功耗^[2]: ①静态功耗的成因是 MOS 的泄漏电流、亚阈值电流以及栅氧电流等,静态功耗的大小主要由电源电压以及 MOS 固有属性等决定. 测试静态功耗和正常工作模式中的静态功耗并没有很大差别; ②动态功耗的成因是短路电流以及负载电容的充放电等,动态功耗的大小主要由电源电压、负载电容以及器件转换活跃程度等因素决定.

芯片在测试过程中的动态功耗是造成测试功耗大于工作功耗的主要原因. 这是因为芯片在测试过程中,ATPG 会激活尽可能多的器件,并且前后输

入信号的关联较小,导致器件转换活跃程度比较高.测试动态功耗通常用 WSA (Weighted Switching Activity) 来衡量.测试动态功耗可分为数据移位功耗 (Shift Power) 和数据捕捉功耗 (Capture Power) 两种,数据移位功耗影响 WSA 平均值,而数据捕捉功耗影响 WSA 峰值.

目前,技术研究中提出了多种测试功耗的优化方案^[3-4].例如,测试向量重排、添加时钟门控、合理的测试方案制定、测试向量 X 填充、分割扫描链等.其中,部分技术已经应用到芯片设计应用中.

3 EDT 简介

EDT (Embedded Deterministic Testing) 是一种基于传统 ATPG 的测试压缩技术,它能够有效地缩短测试时间^[5].该测试压缩技术的特点是通过少量的扫描通道来控制所有扫描链.

在 EDT 结构中,对 ATE 来说可见部分是扫描通道,测试过程中将测试图形打入扫描通道.如图 1 所示,EDT 结构将扫描链切割成小段,并使用扫描通道来控制,这样就实现了大幅缩短测试时间,并有效地减少了测试所用端口.

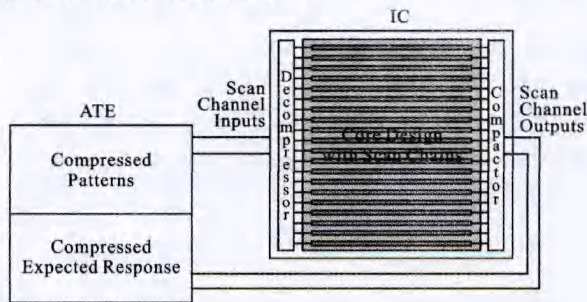


图 1 EDT 结构图

从图 1 可见,EDT 结构中增加了解压器 (Decompressor) 和压缩器 (Compactor) 两部分.其中,压缩器的作用是将扫描链的输出压缩到扫描通道的输出,其结构为一系列 XOR 阵列,对测试时间不会产生影响.而解压器的作用是将扫描通道的测试图形解压到扫描链中,其中,包含时序逻辑,会增加少量测试时间.增加的测试时间可由式(1)进行估算:

$$c = \left\lceil \frac{s}{n} \right\rceil \quad (1)$$

其中, c 为增加的测试时钟周期个数, s 为解压器的大小, n 为扫描通道的个数.

4 低功耗 EDT

4.1 原理及电路设计

低功耗 EDT 是一种基于 EDT 的低功耗技

术^[6].该技术是在普通 EDT 结构上增加一个低功耗控制单元,尽可能多地向扫描链中打入定值,从而实现大幅降低器件转换的程度.

在传统 ATPG 过程中,通常随机性测试和确定性测试会混合使用,以利用尽可能少的测试图形数量达到尽可能高的测试覆盖率.确定性测试的测试图形通常是为了覆盖少数随机性测试覆盖不到的故障,但这些确定性测试的图形经过 EDT 处理后,会扩散到大量扫描链中,造成更多的器件转换.因此,为了降低测试功耗,应尽量减少确定性测试.实验表明^[6],如果使 20% 的扫描链不含确定性测试的图形并填充定值,测试结果的覆盖率并不会显著下降,而代价是增加了测试图形数量.

扫描链中的 WSA 由 WTM (Weighted Transition Metric) 进行评估. WTM 的计算如式(2)所示:

$$P = 2 [d(d-1)]^{-1} \sum_{i=1}^{d-1} (d-i) (b_i \oplus b_{i+1}) \quad (2)$$

式中, d 为扫描链的长度, $T = b_d, \dots, b_2 b_1$ 代表测试向量.

将一个测试向量的所有 P 值加起来,即可得到测试功耗.通常情况下,随机测试中测试向量的 0/1 变换几率总是近似于 50% 的.图 2 给出了一个随机测试示意图^[7].可以看出,随机测试的器件转换活跃程度是近似于 50% 的.

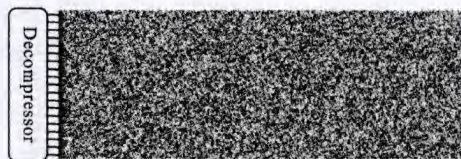


图 2 随机测试图

低功耗 EDT 的电路结构设计^[6],如图 3 所示.相比普通 EDT 结构,增加的电路为控制逻辑和 XOR 阵列.通过图 3 所示电路可知,解压器输出的 0 或者 XOR 阵列输出的 0 都能打入扫描链中.这样就可实现增加扫描链中 0 的个数,从而达到降低功耗的目的.

值得指出的是,研究表明,填充 0 比填充 1 的功耗更低.如前所述,增加扫描链中 0 的个数并不会大幅影响电路的测试覆盖率.

如图 3 所示,电路中 XOR 阵列可由所需低功耗程度来调节.该电路可以使测试图形前一位和后一位的值发生翻转几率从 50% 下降到 25%.为了实现低功耗控制,可以使用如图 4 所示电路,进一步使

测试图形前一位和后一位的值发生翻转的几率下降到 12.5%。此外,也能通过增加 XOR 的输入端的方式来达到相同效果。

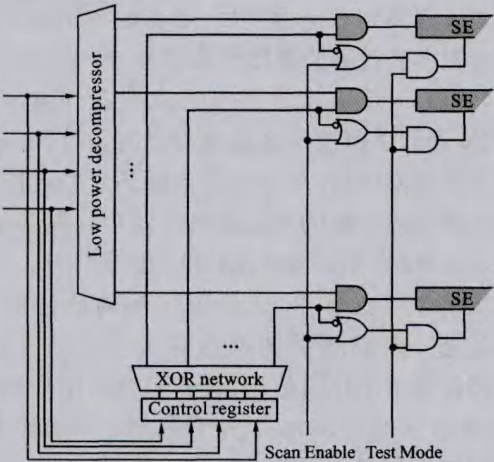


图 3 低功耗 EDT 电路图

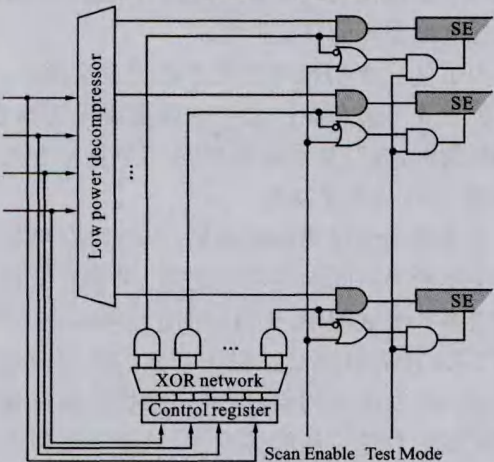


图 4 低功耗 EDT 电路图

4.2 实验分析

本文使用 Mentor 的 TestKompress 对一尺寸为 200K 门的电路进行实验验证,该实验的低功耗 EDT 生成参数设为 25%。

低功耗 EDT 电路和普通 EDT 电路在测试中的数据对比,如表 1 所示。其中,WSA (Weighted Switching Activity) 衡量电路中所有器件的功耗,SET (State Element Transitions) 衡量电路中状态器件的功耗,LST (Load Shift Transitions) 衡量扫描链中的功耗,RST (Response Shift Transitions) 衡量扫描链的响应功耗。LST 和 RST 是数据传输直接造成的扫描链功耗,而 WSA 和 SET 是扫描链的测试数据打入电路其他部分时造成的功耗。这四个参数的最小值、平均值、最大值均列在表 1 中。需要指出的是,普通 EDT 电路的数据移位周期数 300

+24 代表着(扫描链长度)+(增加的 EDT 逻辑所需周期数)。普通 EDT 中的 bypass 意味着绕开 EDT 逻辑,所得的测试结果即为不含 EDT 电路的结果。

表 1 低功耗 EDT 和普通 EDT 测试结果对比

	普通 EDT (bypass)		普通 EDT		低功耗 EDT	
测试覆盖率	97.06%		97.25%		97.20%	
测试图形数量	872		1679		1633	
数据移位周期数	29784		300+24		300+50	
WSA	Min.	0.85%	Min.	0.86%	Min.	0.92%
	Ave.	31.50%	Ave.	31.55%	Ave.	25.12%
	Max.	34.91%	Max.	34.31%	Max.	32.81%
SET	Min.	3.95%	Min.	3.95%	Min.	4.03%
	Ave.	42.43%	Ave.	42.82%	Ave.	33.30%
	Max.	45.62%	Max.	45.49%	Max.	44.72%
LST	Min.	48.08%	Min.	28.45%	Min.	9.00%
	Ave.	49.68%	Ave.	49.24%	Ave.	18.91%
	Max.	50.81%	Max.	50.48%	Max.	49.76%
RST	Min.	31.64%	Min.	28.83%	Min.	13.12%
	Ave.	42.18%	Ave.	41.57%	Ave.	28.02%
	Max.	50.05%	Max.	50.00%	Max.	45.73%

分析表 1,得出的研究结论是:

①EDT 结构能够大幅缩减数据移位周期数,其代价是测试图形数量的增加。但是数据移位周期的大幅减少,可以优化测试时间。因此,这样程度的测试图形数量增加是完全可以接受的。

②低功耗 EDT 和普通 EDT 的测试覆盖率、测试图形数量和数据移位周期数大致相等,这意味着二者的测试性能相差不大。

③相比普通 EDT,低功耗 EDT 中 LST 的最小值从 28.45% 优化到了 9.00%,LST 的平均值从 49.24% 优化到了 18.91%。RST 的最小值从 28.83% 优化到 13.12%,RST 的平均值从 41.57% 优化到 28.02%。相应的 WSA 平均值从 31.55% 优化到 25.12%,SET 平均值从 42.82% 优化到 33.30%。其效果是明显的。

④这种测试模式下,低功耗 EDT 中各个功耗参数的最大值相比普通 EDT 并没有很大变化。这意味着功耗峰值的改善并不十分明显。

4.3 功耗阈值

随着芯片设计中所含器件数量的不断增大,若测试功耗峰值始终接近 50%,那么这一瞬间的巨大

功耗极有可能损伤芯片,造成较大损失.因此,在低功耗 EDT 电路的基础上,寻求降低功耗峰值的方式就显得十分必要.

在测试过程中,本文通过设置功耗阈值来舍弃超过功耗阈值的测试图形.采用这种测试模式的实验结果,如表 2 所示.其中,对于同上的实验平台,功耗阈值设为 25%.即所有造成 25%以上扫描链器件状态翻转的测试图形都将被舍弃.

表 2 设置功耗阈值对比实验结果

	低功耗 EDT	低功耗 EDT(功耗阈值 25%)
测试覆盖率	97.20%	91.64%
有效测试图形数量	1633	522
测试图形尝试数量	1920	4096
数据移位周期数	300+50	300+50
WSA	Min. 0.92%	Min. 1.03%
	Ave. 25.12%	Ave. 23.97%
	Max. 32.81%	Max. 28.68%
SET	Min. 4.03%	Min. 4.03%
	Ave. 33.30%	Ave. 32.53%
	Max. 44.72%	Max. 37.86%
LST	Min. 9.00%	Min. 8.77%
	Ave. 18.91%	Ave. 17.42%
	Max. 49.76%	Max. 21.21%
RST	Min. 13.12%	Min. 17.12%
	Ave. 28.02%	Ave. 23.81%
	Max. 45.73%	Max. 25.00%

如表 2 所示,扫描链中的 RST 和 LST 的峰值被严格控制在 25%以内,平均值也得到了相应改善.这样受功耗阈值严格控制的测试图形造成 WSA 和 SET 的峰值得到相应改善.研究表明,降低功耗阈值可以进一步改善测试功耗的峰值和平均值.进一步的研究结果证明了这一结论,如表 3 所示.

表 3 不同功耗阈值测试结果的变化

功耗阈值	22%	23%	24%	25%	26%
测试覆盖率	60.45%	77.14%	87.02%	91.64%	94.12%
WSA(Max.)	25.93%	27.43%	27.97%	28.68%	29.48%
WSA(Ave.)	14.73%	20.39%	23.09%	24.40%	24.41%
SET(Max.)	34.28%	36.94%	37.88%	37.86%	38.79%
SET(Ave.)	21.37%	27.99%	21.28%	33.36%	33.49%

4.4 改善设置功耗阈值时的覆盖率

表 2 和表 3 还展示出一不能忽视的现象,即设置功耗阈值造成测试覆盖率大幅下降.造成这种现

象的原因是设置功耗阈值之后,ATPG 产生的部分测试图形由于不满足功耗阈值的约束而被舍弃.为了提高运算效率,通常 ATPG 先进行随机性测试,将覆盖率提高到一定程度后,随机性测试产生的测试图形覆盖新故障的难度开始增大,效率开始变低.此时,ATPG 开始针对剩余的故障进行确定性测试.当发现测试覆盖率很难再提高时,ATPG 退出.在设置功耗阈值后,ATPG 找到既满足功耗阈值又能够有效覆盖故障的测试图形的难度将明显增大.因此,ATPG 在测试覆盖率较低的时候退出.

从表 2 可以看出,未设置功耗阈值的低功耗 EDT 电路,废弃测试图形数量为 $1920 - 1633 = 287$,而设置了功耗阈值后,废弃的测试图形数量增加到 $4096 - 522 = 3574$.从这数据对比中可以看出,设置功耗阈值后,ATPG 尝试了更多的测试图形,但是仍然很难找到既能有效提高测试覆盖率又能满足功耗阈值要求的测试图形.

为了使设置功耗阈值的方法更具实用性,如何在这种模式下提高测试覆盖率就显得尤为重要.提高功耗阈值,放宽其约束显然是一个直接有效的方式,但同时也提高了功耗.

上述提到设置功耗阈值后,ATPG 在随机测试过程中不断寻找既满足功耗约束,又能有效提高测试覆盖率的测试图形.因此,若能寻求一种方案,使得 ATPG 在随机测试过程中尝试的测试图形更容易满足功耗阈值的约束,则可用来提高测试覆盖率的测试图形数量显然能够变多,从而测试覆盖率也可得到改善.根据这一设计思路,采取缩短扫描链长度是一种简单有效的改善方法.

在测试图形完全随机的情况下,其 0-1 翻转次数可由式(3)计算:

$$S_n(m) = S_{n-1}(m) + S_{n-1}(m-1) \quad (3)$$

其中, n 代表测试图形位数,最小值为 2, m 代表测试向量翻转次数, S 代表满足该翻转次数的测试图形个数.

根据公式(3),改变测试图形位数,不同翻转次数所对应测试图形数量,如表 4 所示.其中当 n 为 2 时,测试图形的排列只有四种可能性:00、01、10、11.因此,翻转次数为 0 和 1 的测试图形均为 2 组.

从表 4 中可以看出,随着测试图形位数的增加,翻转次数较少(远小于 50%)的测试图形所占比例逐渐减小.例如,测试图形位数为 5 时, $S=0$ 和 $S=1$ 的测试图形翻转次数为 25%以下,其所占比例约为 31.25%.而当测试图形位数为 9 时, $S=0$ 、 $S=1$

和 $S=2$ 的测试图形翻转次数为 25% 以下,其所占比例约为 14.45%.

表 4 不同翻转次数对应的测试图形数量对比

测试图形位数(n)	2	3	4	5	6	7	8	9
测试图形总数	4	8	16	32	64	128	256	512
	0: 2	0: 2	0: 2	0: 2	0: 2	0: 2	0: 2	0: 2
	1: 2	1: 4	1: 6	1: 8	1: 10	1: 12	1: 14	1: 16
		2: 2	2: 6	2: 12	2: 20	2: 30	2: 42	2: 56
不同翻转次数 对应的测试图 形个数(m:S)			3: 2	3: 8	3: 20	3: 40	3: 70	3: 112
				4: 2	4: 10	4: 30	4: 70	4: 140
					5: 2	5: 12	5: 42	5: 112
						6: 2	6: 14	6: 56
							7: 2	7: 16
								8: 2

当扫描链长度增加,所需测试图形位数随着增加.因此,符合低功耗阈值测试图形的比例随着减小,这意味着 ATPG 找到这些测试图形的难度将随着增加.此外,表 4 中所列数据是测试图形完全随机情况下的理想状况.实际情况下,受低功耗 EDT 电路处理过的测试图形并非完全随机,而是包含更多位的 0.因此,实际应用中的测试图形满足功耗阈值所占的比例将会比表 4 所示的值高一些.然而,这并不影响表 4 所展示的数据能够说明一个规律,即扫

描链长度越短,找到满足功耗阈值需求的测试图形难度就越小.

本文采用相同的实验平台,改变扫描链长度并将其测试性能对比,如表 5 所示.从表 5 中看出,随着扫描链长度的减小,功耗参数并没有发生太大变化,但测试覆盖率和有效测试图形数量总体呈上升趋势.这验证了上述方式确实能够改进设置功耗阈值时的测试覆盖率.

表 5 不同扫描链长度在设置功耗阈值时的测试性能对比

扫描链长度	50	100	130	150	200	300	400
测试覆盖率	95.01%	95.93%	94.94%	93.42%	91.99%	91.64%	88.59%
有效测试图形数量	4918	2992	1890	1228	740	477	335
测试图形尝试数量	6080	4480	4800	5440	5248	4096	3712
WSA(Max)	26.82%	28.15%	28.03%	28.54%	28.34%	28.68%	28.41%
SET(Max)	39.54%	39.97%	37.12%	37.97%	38.07%	37.86%	39.33%
LST(Max)	20.33%	19.64%	19.93%	20.30%	20.64%	21.21%	21.00%
RST(Max)	25.00%	24.99%	24.99%	25.00%	25.00%	25.00%	24.99%

值得指出的是,当扫描链长度缩短至 50 时,覆盖率比扫描链长度为 100 更低.这是因为当扫描链长度缩短时,扫描链数量必然增加.因此,在扫描通道数不变情况下,压缩比就会上升.而压缩比太大,会增大 EDT 的测试难度,测试覆盖率也会有所降低.因此,这组数据并不妨碍上述设计的可行性.此外,从扫描链长度为 50 的有效测试图形数量 4918 可以看出,ATPG 找到符合功耗阈值约束的测试图形难度大幅降低.同时,说明不能无限制地缩短扫描

链长度来改善测试覆盖率,实际应用中需要综合考虑功耗、移位周期、测试图形数量等各种设计因素.

5 结束语

本文介绍了一种基于 EDT 的低功耗可测性技术,并且提出一种该技术在设置功耗阈值时的优化方案.通过理论和实验数据分析得出一个重要结论:扫描链越短,ATPG 找到满足功耗阈值的测试图形效率就越高.这一结论对于芯片设计技术有很好的

应用价值.

参考文献:

- [1] Czys D, Rajski J, Tyszer J. Low power test application with selective compaction in VLSI designs[C]// Test Conference, ITC 2012 IEEE International. Anaheim, CA; IEEE, 2012; 1-10.
 - [2] Patrick Girard, Wen Xiaoqing, Nicola Nicolici. Power-aware testing and test strategies for low power devices[M]. Berlin; Springer, 2010; 31-50.
 - [3] Lin Xjjiang. Low power testing-what can commercial DFT tools provide? [C]// Green Computing Conference and Workshops (IGCC), Orlando, FL; IEEE, 2011; 1-6.
 - [4] Efi Arvaniti, Yiorgos Tsiatouhas. Low power scan by partitioning and scan hold[C]//IEEE 15 th International Symposium on Design and Diagnostics of Electronic Circuits & Systems (DDECS), Tallinn; IEEE, 2012; 262-265.
 - [5] JanuszRajski, Jerzy Tyszer, Mark Kassab, et al. Embedded deterministic test[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2004, 23(5): 776-792.
 - [6] Dariusz Czys, Mark Kassab, Xijiang Lin, et al. Low-power scan operation in test compression environment [J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2009, 28(11): 1742-1755.
 - [7] DariuszCzys, GrzegorzMrugalski, JanuszRajski, et al. Low-power test data application in EDT environment through decompressor freeze[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2008, 27(7): 1278-1290.
- 作者简介:**
陈首智 男, (1988-), 硕士. 研究方向为超大规模集成电路可测型设计方向研究.
-
- (上接第 158 页)
- [4] Shen H H, Ma L, Zhang H. CRPG: a configurable random test-program generator for microprocess. [C]//Proceedings of IEEE International Symposium on Circuits and Systems, Kobe; IEEE, 2005; 4171-4174
 - [5] 姚英彪, 刘鹏, 姚庆栋, 等. 微处理器功能验证程序生成[J]. 计算机辅助设计与图形学学报, 2006, 18(10): 1484-1490.
 - [6] 朱丹, 李瞰, 郭阳, 等. 微处理器体系结构级测试程序自动生成技术[J]. 软件学报, 2005, 16(12): 2172-2180.
 - [7] Fine S, Ziv A. Coverage directed test generation for functional verification using bayesian networks[C]// Proceeding of the 40 th ACM/IEEE Design Automation Conference (DAC)[s. l.]; IEEE, 2003; 286-291.
- 作者简介:**
罗汉青 男, (1985-), 博士研究生. 研究方向为处理器验证与测试.
梁利平 男, (1969-), 博士生导师. 研究方向为高性能数字信号处理器、微处理器和高速混合信号集成电路设计技术.
叶甜春 男, (1965-), 博士生导师. 研究方向为集成电路制造技术、新型器件及微细加工技术.